

(19) 대한민국특허청 (KR)

(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
H04N 5/44

(11) 공개번호 특2001 -0064037

(43) 공개일자 2001년07월09일

(21) 출원번호 10 -1999 -0062152
(22) 출원일자 1999년12월24일

(71) 출원인 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 이명구
경기도용인시기흥읍농서리산24번지

(74) 대리인 이영필
정상빈
곽덕영

심사청구 : 없음

(54) 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로

요약

모니터 시스템에서의 혼합 동기 신호 자동 검출 회로가 개시된다. 본 발명에 따른 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로는, 외부의 그래픽 카드로부터 인가되는 혼합 동기 신호의 하이 레벨 또는 로우 레벨 구간에 상응하여 클럭 신호를 카운팅하고, 카운팅된 결과에 상응하는 카운팅 출력 신호를 생성하는 카운터, 카운팅 출력 신호의 상승 엣지와 하강 엣지를 검출하고, 검출된 결과를 전환 감지 신호로서 출력하는 신호 전환 감지부, 신호 전환 감지부에서 출력되는 전환 감지 신호를 반전시키고, 반전된 결과를 혼합 감지 신호로서 출력하는 인버터, 외부에서 사용자 리드 신호를 입력하고, 사용자 리드 신호의 제1엣지를 검출하여 검출된 결과에 상응하는 엣지 검출 신호를 출력하는 엣지 검출부, 엣지 검출부에서 출력되는 엣지 검출 신호를 소정 시간 지연시키고, 지연된 결과를 출력하는 지연부, 지연부에서 소정 시간 지연된 사용자 리드 신호의 제1엣지에 응답하여 혼합 감지 신호를 래치하고, 래치된 결과를 래치 신호로서 출력하는 래치부, 래치 신호에 응답하여 래치 신호 또는 인버터에서 출력되는 혼합 감지 신호를 선택적으로 출력하는 신호 선택부 및 신호 선택부에서 출력되는 신호를 소정 시간 지연시키고, 사용자 리드 신호에 응답하여 지연된 신호를 최종적인 혼합 동기 검출 신호로서 출력하는 혼합 동기 검출 신호 출력부를 구비하는 것을 특징으로 한다.

대표도

도 4

도면의 간단한 설명

도 1(a) 및 도 1(b)는 일반적인 수평 동기 신호와 수직 동기 신호를 설명하기 위한 도면들이다.

도 2(a) ~도 2(c)는 일반적인 혼합 동기 신호의 분리 과정을 설명하기 위한 도면들이다.

도 3은 모니터 시스템을 설명하기 위한 블럭도로서, 본 발명의 실시예에 의한 혼합 동기 신호 자동 검출 회로가 구비된다.

도 4는 본 발명의 실시예에 의한 혼합 동기 신호 자동 검출 회로를 나타내는 회로도이다.

도 5(a) ~도 5(f)는 도 4에 도시된 회로의 동작을 설명하기 위한 파형도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모니터 시스템에 관한 것으로서, 특히, 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로에 관한 것이다.

일반적으로, 모니터에 영상 신호를 디스플레이하기 위해서 모니터 시스템 내부의 영상 신호 처리용 칩은 그래픽 카드로부터 R/G/B 색 신호와, 수평/수직 동기 신호를 수신한다. 이 때, 대부분의 그래픽 카드는 R/G/B 신호와, 수평 동기 신호 및 수직 동기 신호를 분리시켜 송신한다. 여기에서, R/G/B는 색상 정보를 나타내고, 수평 동기 신호는 화면의 한 라인을 바꾸어주는 신호를 나타내고, 수직 동기 신호는 한 화면, 예를 들어 한 프레임의 영상을 바꾸어주는 신호를 나타낸다.

도 1(a) 및 도 1(b)은 일반적인 수평 동기 신호와, 수직 동기 신호를 설명하기 위한 도면이다.

도 1(a)를 참조하면, 구간(T11)은 수평 동기 신호가 하이 레벨을 나타내는 구간으로서 약 1~4us의 길이를 갖는다. 또한, 구간(T12)은 하나의 수평 동기 신호에서 다음 수평 동기 신호까지의 주기를 나타내며, 약 8.3us~33us의 길이를 갖는다. 도 1(b)를 참조하면, 구간(T13)은 수직 동기 신호가 하이 레벨을 나타내는 구간으로서 약 38us~250us의 길이를 갖는다. 또한, 구간(T14)은 하나의 수직 동기 신호로부터 다음 수직 동기 신호까지의 주기를 나타내며, 대략 8.33us~25ms의 길이를 갖는다.

또한, 어떤 그래픽 카드는 수평 동기 신호와 수직 동기 신호를 혼합하여 수평 동기 신호 단자로 송신하는 경우가 있다. 이 때, 수직 동기 신호 단자로는 불규칙하게 신호가 수신될 수도 있고, 전혀 수신되지 않는 경우도 있다. 즉, 이러한 경우에, 모니터 시스템에서는 혼합된 신호를 검출한 후 혼합된 동기 신호로부터 수평 동기 신호와 수직 동기 신호를 분리시킨다.

도 2(a)~2(c)는 혼합된 동기 신호가 인가되는 경우에 수평/수직 동기 신호의 분리 과정을 나타내는 도면들로서, 도 2(a)는 혼합되어 인가되는 동기 신호를 나타내고, 도 2(b)는 분리된 수평 동기 신호를 나타내고, 도 2(c)는 분리된 수직 동기 신호를 나타낸다. 도 2(b)를 참조하면 혼합된 동기 신호로부터 수평 동기 신호를 분리하는 경우에, 수직 동기 신호에 해당하는 구간(T21)은 마스킹(MASKING)된다.

그러나, 모니터 시스템에서 입력되는 신호가 혼합된 신호라는 것을 검출하지 못하면, 수평 동기 신호와 수직 동기 신호가 혼합된 구간에서 화면의 흔들림(jitter)이 발생될 수 있다. 이러한 경우에, 외부의 모니터 컨트롤러에서는 테스트 모드용 동기 신호를 인위적으로 발생시키고, 이를 실행시켜 주는 방식이 이용될 수 있다. 또한, 혼합된 두 동기 신호를 외부에서 사용자가 임의로 분리시키고, 마이크로컨트롤러에서 다시 이를 주사하는 방식이 이용될 수 있다.

종래에는 혼합 동기 신호를 검출하기 위해, 사용자가 화면이 왜곡되는 것을 먼저 감지하거나 계측기를 이용하여 일일이 파형을 읽어본 후 두 신호를 분리시키는 회로를 동작시킨다. 따라서, 시스템 설계자는 이러한 파형 검출 결과에 의해 마이크로컨트롤러를 동작시킨다. 이를 위해, 시스템 설계자는 모니터 제어를 위한 파형 제어 프로그램을 마이크로컨트롤러에 입력한다. 즉, 시스템 설계자는 혼합 동기 신호의 감지 및 파형 체크 과정을 반복하여 각각의 그래픽 카드 특성에 따라서 적절한 프로그램을 마이크로컨트롤러에 입력한다.

이와 같이, 종래에는 혼합된 동기 신호를 감지하기 위해, 사용자가 계측기를 이용하여 일일이 파형을 체크해야 한다는 불편한 점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 그래픽 카드로부터 입력되는 혼합 동기 신호를 자동으로 검출할 수 있는 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 과제를 이루기 위해, 본 발명에 따른 모니터 시스템에서의 혼합 동기 신호 검출 회로는, 외부의 그래픽 카드로부터 인가되는 혼합 동기 신호의 하이 레벨 또는 로우 레벨 구간에 상응하여 클럭 신호를 카운팅하고, 카운팅된 결과에 상응하는 카운팅 출력 신호를 생성하는 카운터, 카운팅 출력 신호의 상승 엣지와 하강 엣지를 검출하고, 검출된 결과를 전환 감지 신호로서 출력하는 신호 전환 감지부, 신호 전환 감지부에서 출력되는 전환 감지 신호를 반전시키고, 반전된 결과를 혼합 감지 신호로서 출력하는 인버터, 외부에서 사용자 리드 신호를 입력하고, 사용자 리드 신호의 제1엣지를 검출하여 검출된 결과에 상응하는 엣지 검출 신호를 출력하는 엣지 검출부, 엣지 검출부에서 출력되는 엣지 검출 신호를 소정 시간 지연시키고, 지연된 결과를 출력하는 지연부, 지연부에서 소정 시간 지연된 사용자 리드 신호의 제1엣지에 응답하여 혼합 감지 신호를 래치하고, 래치된 결과를 래치 신호로서 출력하는 래치부, 래치 신호에 응답하여 래치 신호 또는 인버터에서 출력되는 혼합 감지 신호를 선택적으로 출력하는 신호 선택부 및 신호 선택부에서 출력되는 신호를 소정 시간 지연시키고, 사용자 리드 신호에 응답하여 지연된 신호를 최종적인 혼합 동기 검출 신호로서 출력하는 혼합 동기 검출 신호 출력부로 구성되는 것이 바람직하다.

이하, 본 발명에 따른 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

도 3은 모니터 시스템을 설명하기 위한 개략적인 블럭도로서, 본 발명의 실시예에 의한 혼합 동기 신호 자동 검출 회로(32)가 포함된다. 도 3을 참조하면, 모니터 시스템은 혼합 동기 신호 자동 검출 회로(32), 동기 신호 분리부(34), 동기 신호 처리부(36) 및 색 신호 처리부(38)를 포함한다. 설명의 편의를 위해서, 그래픽 카드(30)가 함께 도시된다.

도 3을 참조하면, 혼합 동기 신호 자동 검출 회로(32)는 그래픽 카드(30)로부터 동기 신호(SYNC)를 입력하고, 입력된 신호(SYNC)가 혼합 동기 신호인가를 자동 검출하여 혼합 동기 검출 신호(S_DET)를 생성한다.

동기 신호 분리부(34)는 그래픽 카드(30)로부터 입력되는 동기 신호(SYNC)를 입력하고, 혼합 동기 검출 신호(S_DET)에 응답하여 동기 신호(SYNC)를 수평 동기 신호(HSYNC)와 수직 동기 신호(VSYNC)로 분리한다.

동기 신호 처리부(36)는 동기 신호 분리부(34)에서 분리된 수평 동기 신호(HSYNC)와 수직 동기 신호(VSYNC)를 입력하여 화면 주사를 위한 게이트 펄스와 블랭킹 펄스를 생성하는 등의 처리 과정을 수행한다.

색 신호 처리부(38)는 그래픽 카드(30)로부터 인가되는 R/G/B 색상 정보(COLOR)를 입력하여 화면에 주사하기 위한 적절한 신호 처리를 수행한다.

도 4는 본 발명의 실시예에 의한 모니터 시스템의 혼합 동기 신호 자동 검출 회로(32)를 설명하기 위한 회로도이다. 도 4를 참조하면, 혼합 동기 신호 자동 검출 회로(32)는 카운터(400), 신호 전환 감지부(410), 인버터(420), 하강 엣지 검출부(440), 지연부(450), 래치부(430), 신호 선택부(460), 혼합 동기 검출 신호 출력부(470)를 포함한다.

카운터(400)는 5비트 업/다운 카운터로 구현되는 것이 바람직하며, 동기 신호(SYNC)의 하이 레벨 또는 로우 레벨 구간에 상응하여 클럭 신호(CLK)를 업 카운팅 또는 다운 카운팅한다. 구체적으로, 5비트 카운터(400)는 입력된 동기 신호(SYNC)의 상승 엣지에서 업 카운팅을 시작하여 하이 레벨 구간동안 카운팅 값을 증가시키고, 하강 엣지에서 다운 카운팅을 시작하여 로우 레벨 구간동안 카운팅 값을 감소시킨다. 여기에서, 수평 동기 신호는 정극성(POSITIVE) 또는 부극성(NEGATIVE)일 수 있으며, 본 발명에서는 정극성의 수평 동기 신호인 경우에 대하여 기술된다. 즉, 입력되는 동기 신호(SYNC)가 혼합 동기 신호라면 수평 동기 신호(HSYNC)의 하이 레벨 펄스 구간에서는 절대로 최대 값 "11111" 까지 증가되지 않도록 카운터(400)가 설계된다. 또한, 수평 동기 신호의 하이 레벨 펄스 구간보다 긴 혼합 신호의 하이 펄스 구간에서 상기 카운터(400)는 최대값 11111 즉, $2^5 = 31$ 까지 카운팅값이 증가된다. 따라서, 카운터(400)에서 카운팅된 값이 11111이 되면 출력 신호는 하이 레벨이 되고, 오버플로우(overflow)는 발생되지 않는다. 반대로, 다운 카운팅 시에 감소된 카운팅 값이 00000이 되면, 카운터(400)의 출력은 로우 레벨이 된다. 즉, 카운터(400)는 00000 이하의 언더플로우는 발생되지 않도록 설계된다. 이를 위해, 적절한 주파수의 클럭 입력 신호(CLK)가 설정되어야 하며; 카운터(400)의 출력 신호는 로우 또는 하이 레벨의 카운팅 출력 신호(CNT_OUT)로서 생성된다. 또한, 부극성의 수평 동기 신호에 대해서는 전술한 과정의 반대되는 경우로 가정될 수 있으므로 구체적인 설명은 생략된다.

신호 전환 감지부(410)는 카운터(400)에서 출력되는 카운팅 출력 신호(CNT_OUT)의 상승 엣지와 하강 엣지를 검출하고, 검출된 결과를 전환 감지 신호(E_DET)로서 출력한다. 바람직하게는, 신호 전환 감지부(410)는 카운팅 출력 신호(CNT_OUT)의 상승 엣지와 하강 엣지 검출 시점에 소정 길이 예를 들어 20ns의 펄스를 발생시킨다.

인버터(420)는 신호 전환 감지부(410)에서 출력되는 전환 감지 신호(E_DET)를 반전시키고, 반전된 결과를 혼합 감지 신호(MIX_DET)로서 출력한다.

하강 엣지 검출부(440)는 외부에서 인가되는 사용자 리드 신호(USER_R)의 하강 엣지를 검출하고, 검출된 결과를 출력한다. 여기에서, 사용자 리드 신호(USER_R)는 혼합 동기 신호 감지 상태를 읽어내기 위해 외부에서 주기적으로 발생하는 신호로 정의된다. 바람직하게는, 사용자 리드 신호(USER_R)의 하강 엣지에서 20ns동안 로우 레벨을 갖는 펄스 신호를 발생시키도록 구현될 수 있다.

지연부(450)는 사용자 리드 신호(USER_R)의 하강 엣지 검출 신호를 소정 시간 지연시키고, 지연된 결과를 출력한다. 여기에서, 소정 시간은 약 2ns로 설정되는 것이 바람직하며, 시스템 설계 방식에 따라서 다른 값으로 설정될 수 있다.

래치부(430)는 지연부(450)에서 소정 시간 지연된 사용자 리드 신호(USER_R)의 하강 엣지에 응답하여 혼합 감지 신호(MIX_DET)를 래치하고, 래치된 결과를 래치 신호(L_SI)로서 출력한다. 이를 위해, 래치부(430)는 낸드 게이트들(432, 434)과 인버터(436)를 포함한다. 구체적으로, 낸드 게이트(432)는 지연부(450)의 출력 신호와 낸드 게이트(434)의 출력 신호를 반전 논리곱하고, 반전 논리곱된 결과를 출력한다. 또한, 인버터(436)는 낸드 게이트(434)의 출력 신호를 반전시키고, 반전된 결과를 래치 신호(L_SI)로서 출력한다. 낸드 게이트(434)의 출력 신호는 낸드 게이트(432)의 제2입력으로도 인가된다. 낸드 게이트(434)는 낸드 게이트(432)의 출력 신호와 인버터(420)에서 출력되는 혼합 감지 신호(MIX_DET)를 반전 논리곱하고, 반전 논리곱된 결과를 출력한다.

신호 선택부(460)는 래치 신호(L_SI)에 응답하여 상기 래치 신호(L_SI) 또는 인버터(420)에서 출력되는 혼합 감지 신호(MIX_DET)를 선택적으로 감지 지연 신호(D_MIX)로서 출력한다. 이를 위해, 신호 선택부(460)는 전송 게이트들(464, 466)과 인버터(462)를 포함한다. 구체적으로, 인버터(462)는 입력된 래치 신호(L_SI)를 반전시킨다. 즉, 래치 신호(L_SI)와, 인버터(462)에서 반전된 래치 신호는 각각 전송 게이트들(464, 466)의 전송 제어 신호로서 인가된다. 전송 게이트(464)는 래치 신호(L_SI)를 입력 신호로 받아들이고, 인버터(462)의 출력 신호가 하이 레벨일 때 래치 신호(L_SI)를 감지 지연 신호(D_MIX)로서 출력한다. 전송 게이트(466)는 혼합 감지 신호(MIX_DET)를 입력 신호로서 받아들이고, 전송 제어 신호로서 인가되는 인버터(462)의 출력 신호가 로우 레벨일 때 혼합 감지 신호(MIX_DET)를 감지 지연 신호(D_MIX)로서 출력한다.

혼합 동기 검출 신호 출력부(470)는 감지 지연 신호(D_MIX)를 소정 시간 지연시키고, 지연된 결과를 사용자 리드 신호(USER_R)에 응답하여 최종적인 혼합 동기 검출 신호(S_DET)로서 출력한다. 이를 위해, 혼합 동기 검출 신호 출력부(470)는 인버터들(472, 474) 및 버퍼(476)를 포함한다. 인버터들(472, 474)은 서로 직렬 연결되어 신호 선택부(460)의 출력 신호(D_MIX)를 지연시키고, 지연된 결과를 검출 신호(DET)로서 출력한다. 버퍼(476)는 사용자 리드 신호(USER_R)에 응답하여 검출 신호를 버퍼링하고, 버퍼링된 결과를 혼합 동기 검출 신호(S_DET)로서 출력한다. 즉, 사용자 리드 신호(USER_R)의 상승 엣지로부터 하이 레벨 구간 동안 검출 신호(DET)가 버퍼링되어 데이터 버스(478)를 통하여 출력된다. 따라서, 사용자는 사용자 리드 신호(USER_R)가 하이 레벨인 구간 동안 혼합 동기 신호를 검출한 결과를 읽게 된다.

도 5(a)~도 5(f)는 도 4에 도시된 회로의 동작을 설명하기 위한 파형도들로서, 도 5(a)는 입력되는 동기 신호(SYNC)를 나타내고, 도 5(b)는 카운터(400)의 출력 신호(CNT_OUT)를 나타내고, 도 5(c)는 전환 감지 신호(E_DET)를 나타내고, 도 5(d)는 혼합 감지 신호(MIX_DET)를 나타내고, 도 5(e)는 사용자 리드 신호(USER_R)를 나타내고, 도 5(f)는 검출 신호(DET)를 나타낸다.

도 4 및 도 5를 참조하여 본 발명에 따른 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로의 동작이 상세히 기술된다. 우선, 동작 초기에 그래픽 카드(30)로부터 도 5(a)에 도시된 동기 신호 입력(SYNC)이 인가되면, 카운터(400)는 입력된 신호의 상승 엣지에서 클럭 신호(CLK)를 업 카운팅하고, 하강 엣지에서 상기 클럭 신호(CLK)를 다운 카운팅한다. 이 때, 카운터(400)는 전술한 예에서와 같이 5비트 업/다운 카운터로 구현된다고 가정된다. 수평 동기 신호(HSYNC)의 하이 레벨 펄스 구간 동안은 카운팅 값이 11111이 되지 않으므로, 도 5(b)와 같이 수평 동기 신호(HSYNC)가 인가되는 구간 동안은 도 5(b)의 카운팅 출력 신호(CNT_OUT)가 계속 로우 레벨로 유지된다. 이 때, 수평/수직 동기 신호가 혼합된 구간 즉, 도 5(b)의 구간(T50)에서 카운터(400)에서의 카운팅 값은 11111까지 증가된다. 또한, 도 5(b)의 구간(T50) 동안 카운터의 출력 신호(CNT_OUT)는 하이 레벨로 유지된 후, 다시 다운 카운팅된 값이 00000이 되면 로우 레벨이 된다. 이 때, 신호 전환 감지부(410)는 카운터 출력 신호(CNT_OUT)의 상승 엣지와 하강 엣지에서 각각 도 5(c)에 도시된 전환 감지 신호(E_DET)를 생성한다. 여기에서, 전환 감지 신호(E_DET)는 하이 레벨 구간의 펄스 폭(T51)이 20ns로 설정될 수 있다. 도 5(b)의 전환 감지 신호(E_DET)는 인버터(410)에서 반전되어 실제의 혼합 감지 신호(MIX_DET)로서 이용된다. 이러한 혼합 감지 신호(MIX_DET)는 시스템 설계자에 의해 주기적으로 입력된다. 만일, 입력된 신호가 혼합 동기 신호라는 것을 사용자가 아직 읽지 않은 것으로 판단되면, 상기 혼합 감지 신호(MIX_DET)의 로우 레벨 상태는 소정 시간 동안 유지된다. 또한, 상기 사용자 리드 신호(USER_R)에 의해 동기 검출 결과가 읽혀진 것으로 판단되면, 혼합 감지 신호(MIX_DET)의 다음 상태가 입력되어 사용자에게 읽혀질 때까지 래치된다. 구체적으로, 도 5(e)에 도시된 사용자 리드 신호(USER_R)는 하이 레벨로 인에이블될 때 혼합 감지 신호(MIX_DET)의 상태가 읽혀진다. 또한, 사용자 리드 신호(USER_R)가 로우 레벨로 디스에이블될 때, 이전의 혼합 감지 신호(MIX_DET)의 상태는 자체적으로 초기화되어 현재의 검출 상태가 감지된다. 따라서, 혼합 감지 신호(MIX_DET)가 일단 로우 레벨이 되면, 래치부(430)의 출력 신호(L_SI)는 로우 레벨이 된다. 이 때, 신호 선택부(460)의 전송 게이트(464)가 턴온되고 로우 레벨의 래치 신호(L_SI)가 검출 신호(DET)로서 생성된다. 즉, 검출 신호(DET)는 사용자 독출 신호(USER)의 상승 엣지로부터 하이 레벨인 구간 동안 데이터 버스(478)를 통하여 사용자에게 혼합 동기 검출 신호(D_DET)로서 읽혀진다. 다시 말해서, 도 5(d)의 혼합 감지 신호(MIX_DET)가 로우 레벨이 되고 사용자 리드

신호 (USER_R)가 인에이블되어 하이 레벨을 갖는 구간 동안, 감지 지연 신호 (D_MIX)는 계속 로우 레벨로 유지된다. 이 때, 사용자 리드 신호 (USER_R)의 하강 엣지가 검출되기 전까지 지연부 (450)의 출력 신호는 하이 레벨로 유지된다. 따라서, 도 5(b)의 혼합 감지 신호 (MIX_DET)가 다시 하이 레벨이 되더라도 낸드 게이트 (432)의 출력 신호에 의해 인버터 (436)에서 출력되는 래치 신호 (L_SI)는 도 5(f)와 같이 계속 로우 레벨로 유지된다.

그러나, 도 4의 하강 엣지 검출부 (440)에서 사용자 리드 신호 (USER_R)의 하강 엣지를 검출하게 되면, 하강 엣지 검출부 (440)는 엣지 검출 시점에서 20ns 동안 로우 레벨의 폭을 갖는 펄스를 발생한다. 이러한 펄스는 지연부 (450)로 인가되어 소정 시간 바람직하게는, 2ns지연되어 래치부 (430)의 낸드 게이트 (432)의 제1입력이 로우 레벨이 된다. 따라서, 래치부 (430)의 낸드 게이트 (434)의 출력 신호는 로우 레벨이 되고, 인버터 (436)의 출력 신호 (L_SI)는 하이 레벨이 된다. 이 때, 전송 게이트 (466)가 턴온되어 하이 레벨 상태의 혼합 감지 신호 (MIX_DET)를 선택하여 출력한다. 도 5(f)를 참조하면, 사용자 리드 신호 (USER_R)의 하강 엣지로부터 구간 (T52) 만큼의 시간 경과 후, 검출 신호 (DET)는 다시 하이 레벨로 초기화되는 것을 알 수 있다. 결과적으로, 사용자 리드 신호 (USER_R)의 하강 엣지를 검출한 결과에 의해, 사용자가 신호 검출 결과를 읽었는지가 판단된다. 따라서, 사용자가 신호 검출 결과를 읽은 것으로 확인된 후에는 다음의 신호 상태를 감지하도록 하기 위해, 도 5(f)의 검출 신호 (DET)가 하이 레벨 상태로 자동적으로 클리어된다.

이와 같이, 본 발명에서는 입력되는 동기 신호가 혼합 동기 신호라는 것을 자동적으로 감지할 수 있다. 또한, 사용자가 신호 검출 결과를 읽기 전에 입력된 동기 신호가 혼합 동기 신호라는 것이 감지되면, 사용자가 읽어내기 전까지는 신호 검출 결과가 유지된다는 장점이 있다.

발명의 효과

본 발명에 따르면, 그래픽 카드로부터 입력되는 동기 신호를 사용자가 일일이 체크하여 혼합 동기 신호임을 검출하지 않고, 자동적으로 감지할 수 있을 뿐만 아니라, 모니터 시스템 설계자는 모니터 제어를 위한 프로그램을 보다 효율적으로 설계할 수 있다는 효과가 있다.

(57) 청구의 범위

청구항 1.

외부의 그래픽 카드로부터 인가되는 혼합 동기 신호의 하이 레벨 또는 로우 레벨 구간에 상응하여 클럭 신호를 카운팅하고, 상기 카운팅된 결과에 상응하는 카운팅 출력 신호를 생성하는 카운터;

상기 카운팅 출력 신호의 상승 엣지와 하강 엣지를 검출하고, 검출된 결과를 전환 감지 신호로서 출력하는 신호 전환 감지부;

상기 신호 전환 감지부에서 출력되는 상기 전환 감지 신호를 반전시키고, 반전된 결과를 혼합 감지 신호로서 출력하는 인버터;

외부에서 사용자 리드 신호를 입력하고, 상기 사용자 리드 신호의 제1 엣지를 검출하여 상기 검출된 결과에 상응하는 엣지 검출 신호를 출력하는 엣지 검출부;

상기 엣지 검출부에서 출력되는 상기 엣지 검출 신호를 소정 시간 지연시키고, 상기 지연된 결과를 출력하는 지연부;

상기 지연부에서 소정 시간 지연된 사용자 리드 신호의 제1엣지에 응답하여 상기 혼합 감지 신호를 래치하고, 상기 래치된 결과를 래치 신호로서 출력하는 래치부;

상기 래치 신호에 응답하여 상기 래치 신호 또는 상기 인버터에서 출력되는 상기 혼합 감지 신호를 선택적으로 출력하는 신호 선택부; 및

상기 신호 선택부에서 출력되는 신호를 소정 시간 지연시키고, 상기 사용자 리드 신호에 응답하여 상기 지연된 신호를 최종적인 혼합 동기 검출 신호로서 출력하는 혼합 동기 검출 신호 출력부를 구비하는 것을 특징으로 하는 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로.

청구항 2.

제1항에 있어서, 상기 카운터는,

$N(> 1)$ 비트 업/다운 카운터로 구현되고, 상기 카운팅된 결과에 의해 상기 N 비트가 모두 1일 때 제1레벨로 유지하고, 상기 N 비트가 모두 0이면 제2레벨로 설정되는 것을 특징으로 하는 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로.

청구항 3.

제1항에 있어서, 상기 혼합 동기 신호 자동 검출 회로는,

상기 사용자 리드 신호가 제1레벨일 때 혼합 동기 신호 검출 결과가 사용자에게 읽혀지고, 상기 사용자 리드 신호의 제1엣지에서 상기 읽혀진 혼합 동기 신호 검출 결과가 초기화되는 것을 특징으로 하는 모니터 시스템에서의 혼합 동기 신호 자동 검출 회로.

도면

도면 1







